

Patent Abstracts of Japan

PUBLICATION NUMBER : 63266871
PUBLICATION DATE : 02-11-88

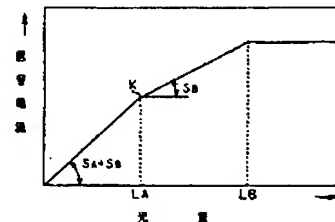
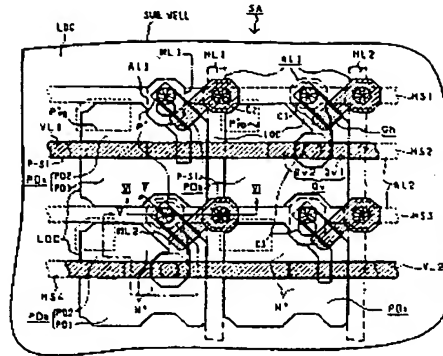
APPLICATION DATE : 24-04-87
APPLICATION NUMBER : 62099737

APPLICANT : HITACHI LTD;

INVENTOR : TAKEMOTO KAYAO;

INT.CL. : H01L 27/14 H04N 5/335

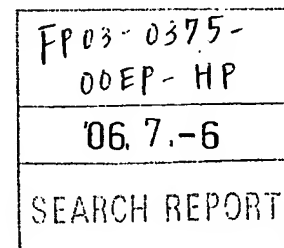
TITLE : SOLID-STATE IMAGE SENSING
DEVICE



ABSTRACT : PURPOSE: To enhance a dynamic range and to improve an SN ratio by a method wherein a first solid-state image sensor composed of a first photoelectric converter having a first saturated light quantity and a second solid-state image sensor composed of a second photoelectric converter having a second saturated light quantity are arranged alternately in a direction in which a vertical scanning line is extended.

CONSTITUTION: Photoelectric converters PD_1 , PD_2 are connected via a vertical switch MOS Qv_2 ; they can be regarded as one photoelectric converter P. In a photoelectric converter PDA where a large-area semiconductor region P^+PD is installed in the photoelectric converter PD_2 , its sensitivity is high and its saturated light quantity is small. On the other hand, in a photoelectric converter PDB where the small-area region P^+PD is installed in the PD_2 , its sensitivity is low and its saturated light quantity is large. A solid-state image sensor having the photoelectric converter PDA whose saturated light quantity is small and another solid-state image sensor having the photoelectric converter PDB whose saturated light quantity is large are arranged alternately in a direction in which vertical scanning lines VL are extended. A signal current of the PDA and another signal current of the photoelectric converter PDB are read out alternately; it is made possible to observe both currents in an apparently composite form. That is to say, it is made possible to form a knee point K in the photoelectric conversion characteristics.

COPYRIGHT: (C)1988,JPO&Japio



THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-266871

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)11月2日

H 01 L 27/14
H 04 N 5/335

A-7525-5F
E-8420-5C

審査請求 未請求 発明の数 1 (全13頁)

⑭ 発明の名称 固体撮像装置

⑮ 特 願 昭62-99737

⑯ 出 願 昭62(1987)4月24日

⑰ 発 明 者 宮 沢 敏 夫 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内

⑱ 発 明 者 伊 沢 哲 朗 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内

⑲ 発 明 者 竹 本 一 八 男 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

固 体 撮 像 装 置

2. 特許請求の範囲

1. 水平走査線と垂直走査線との交差部に、スイッチMOSと光電変換素子とで構成される固体撮像素子を配置する固体撮像装置において、第1飽和光量を有する第1光電変換素子で第1固体撮像素子を構成し、前記第1飽和容量と異なる第2飽和容量を有する第2光電変換素子で第2固体撮像素子を構成し、前記第1固体撮像素子の第1光電変換素子と第2固体撮像素子の第2光電変換素子とを、垂直走査線の延在する方向に交互に配置したことを特徴とする固体撮像装置。

2. 前記第1光電変換素子と第2光電変換素子とは、市松模様で配置されていることを特徴とする特許請求の範囲第1項に記載の固体撮像装置。

3. 前記第1固体撮像素子の第1光電変換素子は、前記第2固体撮像素子の第2光電変換素子と異

なる不純物濃度のPN接合で構成されていることを特徴とする特許請求の範囲第1項又は第2項に記載の固体撮像装置。

4. 前記第1又は第2光電変換素子は、PN接合部に、少なくとも極局部的に、高不純物濃度のP型又はN型半導体領域を導入することで構成されていることを特徴とする特許請求の範囲第3項に記載の固体撮像装置。

5. 前記半導体領域は、前記第1又は第2光電変換素子の単位面積当りの光電変換特性を変化させるように構成されていることを特徴とする特許請求の範囲第4項に記載の固体撮像装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、固体撮像装置に関し、特に、MOS型固体撮像装置に適用して有効な技術に関するものである。

〔従来の技術〕

ビデオカメラ等の撮像装置に使用されるMOS型固体撮像装置は、基本的に、スイッチMOSと

光電変換素子(フォトダイオード素子)との直列回路で固体撮像素子を構成している。光電変換素子は、光電子の入射量に対して発生する信号電流量つまり光電変換特性が直線的であり、飽和容量値に基づいた光電子を蓄積することができる。

人間の目は、暗い時には感度が高く明るい時には感度が低くなり、明るさにより雑音に対する検知感度に変化する。このような人間の検知感度を利用し、検知限界である光電変換特性の低い所に光電変換素子の標準光量を設定し、暗い時の感度を高め、明るい時の感度を低くしてビデオカメラ等の撮像装置はダイナミックレンジを向上している。この撮像装置のダイナミックレンジの向上は回路的に行っている。

なお、固体撮像装置については、例えば、日経マイクロデバイス、1986年6月号、pp59-86に記載されている。

〔発明が解決しようとする問題点〕

しかしながら、本発明者の検討の結果、MOS型固体撮像装置は、前述のように、光電変換素子

の光電変換特性の低い所に標準光量を設定しているので、標準光量での信号出力と暗時の雑音レベルとの比(S/N 比)が悪くなるという問題を生じる。

本発明の目的は、固体撮像装置のダイナミックレンジを向上すると共に、 S/N 比を向上することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

水平走査線と垂直走査線との交差部に固体撮像素子を配置する固体撮像装置において、第1飽和光量を有する第1光電変換素子で構成される第1固体撮像素子と、前記第1飽和容量と異なる第2飽和容量を有する第2光電変換素子で構成される第2固体撮像素子とを、垂直走査線の延在する方

- 3 -

向に交互に配置する。

〔作用〕

上述した手段によれば、前記飽和光量の異なる第1光電変換素子の信号電流、第2光電変換素子の信号電流の夫々を交互に読出し、見かけ上、両者の信号電流を合成し、暗い時に感度を高く、明るい時に感度を低くすることができるので、標準光量を高くして S/N 比を向上できると共に、ダイナミックレンジを向上することができる。

以下、本発明の構成について、ビデオカメラ等の撮像装置に使用される水平読出(TSL: Inter versal Signal Line)方式のモノクロ用MOS型固体撮像装置に本発明を適用した一実施例とともに説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

〔実施例〕

本発明の実施例であるTSL方式のモノクロ用固体撮像装置を第1図(概略構成図)及び第2図(

- 4 -

等価回路図)で示す。

第1図に示すように、TSL方式の固体撮像装置(固体撮像チップ)CH1は、中央部にセル(前記)を行列状に複数配置したフォトダイオードアレイARRが構成されている。

フォトダイオードアレイARRは、受光部SAと光学ブラック部OBとで構成されている。受光部SAは、光学レンズを通して入射された光信号を電荷に変換して蓄積できるように構成されている。光学ブラック部OBは、暗電流によるノイズを補正する基準値(光学的黒レベル)を構成するように構成されている。

フォトダイオードアレイARRの右側の周辺には、水平帰線期間リセット部RES、インタレース走査制御部INT、垂直走査用シフトレジスタ部(垂直走査用回路)Vregが設けられている。下側周辺には、水平走査用シフトレジスタ部(水平走査用回路)Hreg、左側には、出力回路(読出回路)OUTが設けられている。

第2図に示すように、前記フォトダイオードア

- 5 -

—436—

- 6 -

レイARKKの受光部SA、垂直走査線VL1、VL2、…、水平走査線HL1、HL2、…、出力信号線HS1、HS2、…の夫々の交差部に配置されている。垂直走査線VLは、行方向に延在し、列方向に複数本配置されている。水平走査線HLは、列方向に延在し、行方向に複数本配置されている。出力信号線HSは、垂直走査線VLと同一の行方向に延在し、列方向に複数本配置されている。

前記画素は、水平スイッチMOSQh、垂直スイッチMOSQv(Qv1、Qv2)、光電変換素子(フォトダイオード)PD(PD1、PD2)で構成されている。水平スイッチMOSQhの一方の半導体領域と垂直スイッチMOSQvの他方の半導体領域は接続されており、両者は直列に接続されている。光電変換素子PD1は、垂直スイッチMOSQv1の他方の半導体領域に接続され、光電変換素子PD2は、垂直スイッチMOSQv2の一方の半導体領域に接続されている。

列方向に配置された複数の固体撮像素子の水平

スイッチMOSQhのゲート電極は、1本の水平走査線HLに接続されている。水平走査線HLは、水平走査用シフトレジスタ部Hregに接続されている。水平走査用シフトレジスタ部Hregは、入力信号Hin及びクロック信号 ϕ_{h1} 、 ϕ_{h2} によって、行方向に配置される複数の水平走査線HLを順次走査し、行方向の画素を選択するように構成されている。

行方向に配置された複数の画素の垂直スイッチMOSQv(Qv1、Qv2の夫々)のゲート電極は、1本の垂直走査線VLに接続されている。垂直走査線VLの一端は、インタレース走査制御部INTを介在させて垂直走査用シフトレジスタ部Vregに接続されている。垂直走査用シフトレジスタ部Vregは、入力信号Vin及びクロック信号 ϕ_{v1} 、 ϕ_{v2} によって、列方向に配置される複数の垂直走査線VLを順次走査するための選択信号R1、R2、…をインタレース走査制御部INTに出力するように構成されている。

インタレース走査制御部INTは、フィールド

- 7 -

選択信号Fex又はFodでスイッチMOSQFex又はQFodを制御し、選択信号Rを伝達する駆動用MOSQdを選択するように構成されている。駆動用MOSQdのゲート電極と一方の半導体領域(垂直走査線VL)との間には、昇圧コンデンサが設けられている。駆動用MOSQdの他方の半導体領域には、垂直走査信号 ϕ 、又は ϕ 、が印加されている。つまり、垂直走査信号 ϕ 、又は ϕ 、は、選択信号Rに基づき、駆動用MOSQdによって垂直走査線VLに印加される。駆動用MOSQdは、前記昇圧コンデンサによって、しきい値電圧に相当する電圧降下を生じることなく、垂直走査信号 ϕ 、又は ϕ 、を垂直走査線VLに印加することができる。

このインタレース走査制御部INTは、2行同時読出及びインタレース走査が行えるように構成されている。すなわち、まず、インタレース走査制御部INTは、フィールド選択信号Fによって、奇数フィールドAの隣接する2行の垂直走査線VL(例えば、VL1とVL2、VL3とVL4)を

- 8 -

選択する。次に、インタレース走査制御部INTは、他のフィールド選択信号Fによって、1行分ずらした偶数フィールドBの2本の垂直走査線VL(例えば、VL2とVL3、VL4とVL5)を選択するように構成されている。

垂直走査線VLの他端は、出力回路OUTの出力制御用MOSQS1、QS2、…のゲート電極に接続されている。出力制御用MOSQSは、出力信号線HSの一端と出力回路OUTの出力線S1又はS2とを接続するように構成されている。

出力信号線HSは、行方向に配置された複数の固体撮像素子の水平スイッチMOSQhの他方の半導体領域(ドレイン領域)に接続されている。出力信号線HSの他端は、水平帰線期間リセット部RESのリセット用MOSQRを介在させて、リセット用出力線(ビデオ信号線)VRに接続されている。リセット用MOSQRのゲート電極は、リセット信号線RPに接続され制御されている。水平帰線期間リセット部RESは、水平走査期間内に蓄えられた偽信号をリセットするように構成さ

- 9 -

—437—

- 10 -

れている。

次に、TSL方式の固体撮像素子CIIJの具体的なデバイス構造について、第3図乃至第6図を用いて説明する。第3図は、受光部SAの固体撮像素子を示す要部平面図、第4図は、オブチカルブラック部OBの固体撮像素子を示す要部平面図である。第5図は、第3図のV-V切断線で切った断面図、第6図は、第3図のVI-VI切断線で切った断面図である。

第3図乃至第6図に示すように、受光部、オブチカルブラック部OBの夫々の画素は、基本的には同一構造で構成されている。

受光部SA、オブチカルブラック部OBの夫々の固体撮像素子は、半導体基板SUBに設けられたウエル領域WELLの主面に形成され、素子間分離絶縁膜LOCにその開孔を規定されている。

半導体基板SUBは、単結晶シリコンからなるN型で構成されている。ウエル領域WELLは、P型で構成されており、主に、NチャネルMOSFETを形成する。なお、ウエル領域WELLを

設けない場合には、P型半導体基板SUBを使用する。

素子間分離絶縁膜LOCは、ウエル領域WELLの主面を選択的に熱酸化して形成した酸化シリコン膜で構成されている。素子間分離絶縁膜LOCは、第3図及び第4図に示すように、画素形成領域をU字形状で構成している。詳述すれば、素子間分離絶縁膜LOCは、水平スイッチMOSQh形成領域の面積は小さく、光電変換素子PDの開口面積(開口率)を大きくするために、垂直スイッチMOSQv形成領域の面積は大きくするように、U字形状で構成する。

画素の水平スイッチMOSQhは、第3図乃至第6図、及び第7図(所定の製造工程における要部平面図)に示すように、主に、ウエル領域WELL、ゲート絶縁膜、ゲート電極、ソース領域又はドレイン領域である一対のN'型半導体領域(N')で構成されている。

ゲート絶縁膜は、例えば、ウエル領域WELL領域の主面を酸化して形成した酸化シリコン膜を

- 11 -

用い、300~500[Å]程度の膜厚で形成されている。

ゲート電極は、ゲート電極材料例えば多結晶シリコン膜(半導体膜)P-Siで形成する。多結晶シリコン膜P-Siは、例えば、3000~4000[Å]程度の膜厚で形成する。また、ゲート電極は、高融点金属(Mo, Ti, Ta, W)膜若しくは高融点金属シリサイド(MoSi₂, TiSi₂, TaSi₂, WSi₂)膜、或は多結晶シリコン膜とそれらとの複合膜で形成してもよい。

半導体領域N'は、ゲート電極をマスクとしたイオン打込みでウエル領域WELLの主面にN型不純物を導入し、これに引き伸ばし拡散を施して形成する。

前記水平スイッチMOSQhのドレイン領域である半導体領域N'は、ウエル領域WELLよりも高不純物濃度のP'型半導体領域(P')の主面に形成されている。半導体領域P'は、水平スイッチMOSQhのチャンネル形成領域まで拡散されている。この半導体領域P'は、水平スイッチMOSQhのしきい値電圧を上昇するように構成されている。

- 13 -

- 12 -

つまり、半導体領域P'は、ブルーミングを生じるような電子が光電変換素子PD側から出力信号線HSに移動することを低減するように構成されている。

垂直スイッチMOSQv1は、水平スイッチMOSQhと実質的に同様に、主に、ウエル領域WELL、ゲート絶縁膜、ゲート電極、ソース領域又はドレイン領域である一対の半導体領域N'で構成されている。

垂直スイッチMOSQv2は、水平スイッチMOSQhと実質的に同様に、主に、ウエル領域WELL、ゲート絶縁膜、ゲート電極、ソース領域又はドレイン領域である一対の半導体領域N'で構成されている。

垂直スイッチMOSQv1、Qv2の夫々のゲート電極は、水平スイッチMOSQhのゲート電極と同一製造工程で形成されている。垂直スイッチMOSQv1、Qv2の夫々のゲート電極は、フォトダイオード形成領域(或は受光部)の中央部を行方向に横切るように延在し、かつ、一体に

—438—

- 14 -

(共通に)構成されている。さらに、垂直スイッチ $MOSQv1$ 、 $Qv2$ の夫々のゲート電極は、行方向に延在する垂直走査線 VL と一体に構成されている。つまり、垂直走査線 VL は、実質的に固体撮像素子の中央上部を行方向に延在するように構成されている。実際には、垂直走査線 VL は、光電変換素子 PD の上部、詳細には、光電変換素子 $PD1$ と光電変換素子 $PD2$ との間(固体撮像素子内の光電変換素子 $PD1$ 、 $PD2$ の夫々の近傍)に延在するように構成されている。

垂直スイッチ $MOSQv1$ の一方の半導体領域 N' は、水平スイッチ $MOSQh$ の一方の半導体領域 N' と一体に構成(共有)されている。垂直スイッチ $MOSQv1$ の他方の半導体領域 N' は、垂直スイッチ $MOSQv2$ の他方の半導体領域 N' と一体に構成(共有)されている。つまり、垂直スイッチ $MOSQv1$ 、 $Qv2$ の夫々は、ゲート電極を共通にし、かつ直列に接続されている。

光電変換素子 $PD1$ は、特に、第5図に示すように、垂直スイッチ $MOSQv1$ の他方の半導体

領域 N' 又は垂直スイッチ $MOSQv2$ の他方の半導体領域 N' とウェル領域 $WELL$ との PN 接合部で構成される。なお、スイッチ $MOSQv1$ の一方の半導体領域 N' 又は水平スイッチ $MOSQh$ の一方の半導体領域 N' とウェル領域 $WELL$ との PN 接合部にも光電変換素子(フォトダイオード素子)は形成されるが、 $MOSQh$ は毎水平走査(Π)ごとに ON 状態となるため $Qv1$ ・ Qh 共通の N' 領域に蓄えられた情報は毎 H ごとにリセットされ $1H$ 分のみが出力に寄与するので無視できる。例えば、もしフォトダイオード PD と、上記 $Qv1$ ・ Qh 共通の N' 領域が同じ面積だとしても、 $Qv1$ ・ Qh 共通の N' 領域は PD に比べて $2/525$ の情報しか蓄えることができない。前記光電変換素子 $PD1$ を構成する半導体領域 N' は、例えば 10^{18} [atoms/cm³] 程度の不純物濃度で形成し、ウェル領域 $WELL$ は例えば $10^{15} \sim 10^{16}$ [atoms/cm³] 程度の不純物濃度で形成する。

光電変換素子 $PD2$ は、垂直スイッチ $MOSQv2$ の一方の半導体領域 N' とウェル領域 $WELL$

- 15 -

との PN 接合部と、垂直スイッチ $MOSQv2$ の一方の半導体領域 N' と P' 型半導体領域 (P'_{so}) との PN 接合部とで構成されている。半導体領域 P'_{so} は、第3図、第4図及び第7図に点線で示す (P 型不純物導入用マスクの開口パターンを表す) ように、少なくとも、半導体領域 N' とウェル領域 $WELL$ とで形成される PN 接合部に (半導体領域 N' に沿って) 極部的に形成される。半導体領域 P'_{so} は、ウェル領域 $WELL$ と同一導電型であり、それより高不純物濃度例えば 10^{17} [atoms/cm³] 程度の不純物濃度で形成する。半導体領域 P'_{so} は、半導体領域 N' を形成する N 型不純物を導入 (イオン打込み或は拡散) する前又は後に、 P 型不純物を導入する (イオン打込み或は拡散) ことで形成できる。また、半導体領域 P'_{so} は、水平スイッチ $MOSQh$ 側に形成される半導体領域 P' と同一製造工程でかつ同一不純物濃度で形成してもよいし、夫々異なる条件で形成することもできる。

光電変換素子 $PD1$ 、 $PD2$ の夫々は、前述のように、垂直スイッチ $MOSQv2$ を介在させて

- 16 -

接続されており、光電子の蓄積時には垂直スイッチ $MOSQv2$ を非動作状態 (OFF 状態) にして夫々独立に光電子を蓄積し、読出時には垂直スイッチ $MOSQv2$ を動作状態 (ON 状態) にして夫々を同時に読出することができるので、1つの固体撮像素子の1つの光電変換素子 PD と見なすことができる。

光電変換素子 $PD2$ の PN 接合部に極部的に設けられた半導体領域 P'_{so} は、第3図、第4図、第7図及び第8図 (フォトダイオードアレイの模式レイアウト図) に示すように、隣接する他の光電変換素子 $PD2$ のそれと異なる面積で構成されている。光電変換素子 $PD2$ に大面積の半導体領域 P'_{so} が設けられた光電変換素子 PD は、接合容量の増加で飽和信号電流が増加するので、感度が高くなると共に飽和光量が小さくなる。一方、光電変換素子 $PD2$ に小面積の半導体領域 P'_{so} が設けられた光電変換素子 PD は、光電変換素子 PD に比べて、接合容量が小さく飽和信号電流が小さいので、感度が低くなると共に飽和光量が

- 17 -

—439—

- 18 -

きくなる。この飽和光量が小さな光電変換素子PD_aを有する固体撮像素子と、飽和光量が大きな光電変換素子PD_bを有する固体撮像素子とは、垂直走査線VLの延在する方向に交互に配置されている。また、光電変換素子PD_aを有する固体撮像素子と、光電変換素子PD_bを有する固体撮像素子とは、レイアウト上、水平走査線HLの延在する方向にも交互に配置されている。すなわち、固体撮像素子は、市松模様で配置されている。飽和光量は、単に、光電変換素子PD_aと光電変換素子PD_bとの面積比を変えただけでは実効的な変化がなく、本発明のように、半導体領域P_{so}を設けて単位面積当りの光電変換特性を変化させないと実効的に変化が生じない。

前記光電変換素子PD_aの飽和光量L_aは〈1〉式、光電変換素子PD_bの飽和光量L_bは〈2〉式で夫々求めることができる。

$$L_a = I_{a, sat} / S_a \quad \cdots \langle 1 \rangle$$

$$L_b = I_{b, sat} / S_b \quad \cdots \langle 2 \rangle$$

但し、I_{a, sat} : PD_aの飽和信号電流

I_{b, sat} : PD_bの飽和信号電流

S_a : PD_aの感度

S_b : PD_bの感度

前記〈1〉式、〈2〉式の夫々から、I_{a, sat}、S_a、I_{b, sat}、S_bを前記半導体領域P_{so}の面積で制御することによって、光電変換素子PD_aの飽和光量L_aと光電変換素子PD_bの飽和光量L_bとを適正に設定することができる。

このように構成されるTSL方式のモノクロ用固体撮像素子装置CHIは、所定の垂直走査線VLを選択すると、順次水平走査線HLを選択して前記垂直走査線VLに接続される固体撮像素子の光電変換素子PDの信号電流(情報)を順次読出すので、光電変換素子PD_aの信号電流と光電変換素子PD_bの信号電流とが交互に読出される。この読出される信号電流は、人間の目の感知能力において、第9図(入射光量とそれに基づいて発生する信号電流量との関係を示す光電変換特性図)に示すように、見かけ上、光電変換素子PD_aの信号電流と光電変換素子PD_bの信号電流とを合成した形

で見ることができる。第9図には、飽和光量L_aを2倍の飽和光量L_bで設定した場合を示している。つまり、第9図に示すように、光電変換特性にニー(knee)ポイントKを形成することができ、このニーポイントK或はその近傍に標準光量を設定することにより、飽和光量L_aが小さく暗い時には感度を高く(S_a+S_b)、飽和光量L_bが大きく明るい時には感度を低く(S_b)することができる。したがって、固体撮像素子装置CHIは、信号電流の高い所に標準光量を設定することができるのでS/N比を向上することができ、標準光量から飽和光量までを広くすることができるのでダイナミックレンジを向上することができる。

水平走査線HLは、第10図(所定の製造工程における要部平面図)に詳細に示すように、行方向に配置された固体撮像素子形成領域間(素子間分離絶縁膜LOC)上に、列方向に延在するように構成されている。水平走査線HLは、前述の多結晶シリコン膜P-Siよりも上層の導電層、例えば第1層目のアルミニウム膜AL1で構成され

ている。アルミニウム膜AL1は、例えば5000[Å]程度の膜厚で形成されている。アルミニウム膜AL1は、水平スイッチMOSQh等を覆う層間絶縁膜(例えば、PSG膜)IA上に設けられている。水平走査線HLは、前記層間絶縁膜IAに形成された接続孔C2を通して、水平スイッチMOSQhのゲート電極(多結晶シリコン膜P-Si)に接続されている。

水平スイッチMOSQhのドレイン領域である半導体領域N'には、接続孔C1を通して、中間導電層ML1又はML2が接続されている。

中間導電層ML1は、水平スイッチMOSQhの半導体領域N'と実質的にその上層に延在する出力信号線HS1, HS3, ...とを接続するように構成されている。中間導電層ML1は、主に、前記接続の際の段差形状を低減し、接続の信頼性を向上するように構成されている。中間導電層ML2は、水平スイッチMOSQhの半導体領域N'とその領域と異なる領域の上層に延在する出力信号線HS2, HS4, ...とを接続するように構成さ

れている。中間導電層M L 2は、主に、前記接続の信頼性を向上すると共に、異なる領域の半導体領域N'と出力信号線H Sとを接続するように構成されている。

前記中間導電層M L 1には、列方向に配置された固体撮像素子間(素子間分離絶縁膜I O C)上に、行方向に延在する出力信号線H S 1, H S 3, …が接続されている。出力信号線H Sは、前述のアルミニウムA L 1よりも上層の導電層、例えば第2層目のアルミニウム膜A L 2で構成されている。アルミニウム膜A L 2は、例えば8000~9000[Å]程度の膜厚で形成する。アルミニウム膜A L 2は、アルミニウム膜A L 1を覆う層間絶縁膜(例えば、P S G膜)I B上に設けられている。出力信号線H Sは、前記層間絶縁膜I Bに形成された接続孔C 3を通して、中間導電層M L 1に接続されている。

中間導電層M L 2には、第3図及び第4図に示すように、列方向に配置された固体撮像素子の略中央部に、垂直走査線V Lの上部にそれと重ね合

わされて行方向に延在する出力信号線H S 2, H S 4, …が接続されている。出力信号線H Sは、例えば第2層目のアルミニウム膜A L 2で構成されている。出力信号線H Sは、接続孔C 3を通して中間導電層M L 2に接続されている。受光部S Aの出力信号線H S 2, H S 4, …は、光電変換素子(光電変換領域)P Dの開口面積を可能な限り大きく形成できるように、前述のように、垂直走査線V Lと出力信号線H S 2, H S 4, …とを重ね合わせている。

オブチカルブラック部O B領域には、第4図に示すように、出力信号線H Sの上部に、層間絶縁膜(例えば、P S G膜)I Cを介在させて遮光膜S Fが設けられている。遮光膜S Fは、例えば、第3層目のアルミニウム膜A L 3で形成する。アルミニウム膜A L 3は、例えば、蒸着やスパッタで形成し、10000[Å]程度の膜厚で形成する。

なお、本発明は、前述のT S L方式の固体撮像装置において、固体撮像素子の光電変換素子P Dの飽和光量を隣接する他の光電変換素子P D、

- 23 -

の飽和光量に比べて小さくなるように、半導体領域N'とウエル領域W E L Lとの接合部に、半導体領域N'と同一導電型でかつそれよりも高不純物濃度の半導体領域N''を設けてもよい。

また、本発明は、前述のT S L方式の固体撮像装置において、固体撮像素子の光電変換素子P Dの飽和光量を隣接する他の光電変換素子P Dの飽和光量に比べて小さくなるように、光電変換素子P Dに半導体領域P'を設け、光電変換素子P Dに半導体領域P''を設けなくてもよい。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

本発明は、前述のT S L方式の固体撮像装置に限定されず、スイッチM O Sと光電変換素子とで形成される固体撮像素子を有する固体撮像装置に広く適用することができる。

また、本発明は、モノクロ用M O S型固体撮像

- 24 -

装置に限定されず、カラー用M O S型固体撮像装置に適用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

スイッチM O Sと光電変換素子とで形成される固体撮像素子を有する固体撮像装置において、S/N比を向上できると共に、ダイナミックレンジを向上することができる。

4. 図面の簡単な説明

第1図は、本発明の実施例であるT S L方式の固体撮像装置を示す概略構成図。

第2図は、前記第1図に示す固体撮像装置の等価回路図。

第3図は、受光部の固体撮像素子を示す要部平面図。

第4図は、オブチカルブラック部の固体撮像素子を示す要部平面図。

第5図は、第3図のV-V切斷線で切った断面

- 25 -

—441—

- 26 -

図、

P₁…半導体領域である。

第6図は、第3図のVI-VI切斷線で切った断面図、

第7図は、前記固体撮像装置の所定の製造工程における要部平面図、

第8図は、前記固体撮像装置のフォトダイオードアレイの模写レイアウト図、

第9図は、前記固体撮像装置の固体撮像素子の光電変換特性図、

第10図は、前記固体撮像装置の所定の製造工程における要部平面図である。

図中、CHI…固体撮像装置(固体撮像チップ)、ARR…フォトダイオードアレイ、SA…受光部、OB…オプティカルブラック部、INT…インタレース走査制御部、Vreg…垂直走査用シフトレジスタ部、Hreg…水平走査用シフトレジスタ部、OUT…出力回路、VL…垂直走査線、HL…水平走査線、HS…出力信号線、Qh…水平スイッチMOS、Qv…垂直スイッチMOS、PD…光電変換素子、ML…中間導電層、SF…遮光膜、

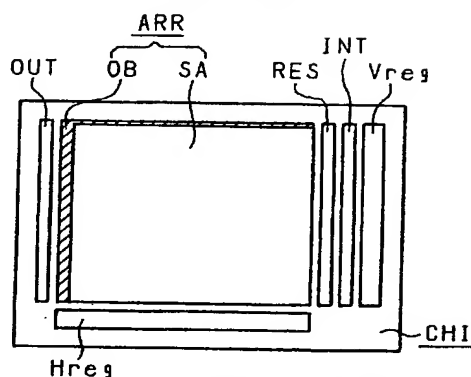
代理人 弁理士 小川 勝



- 27 -

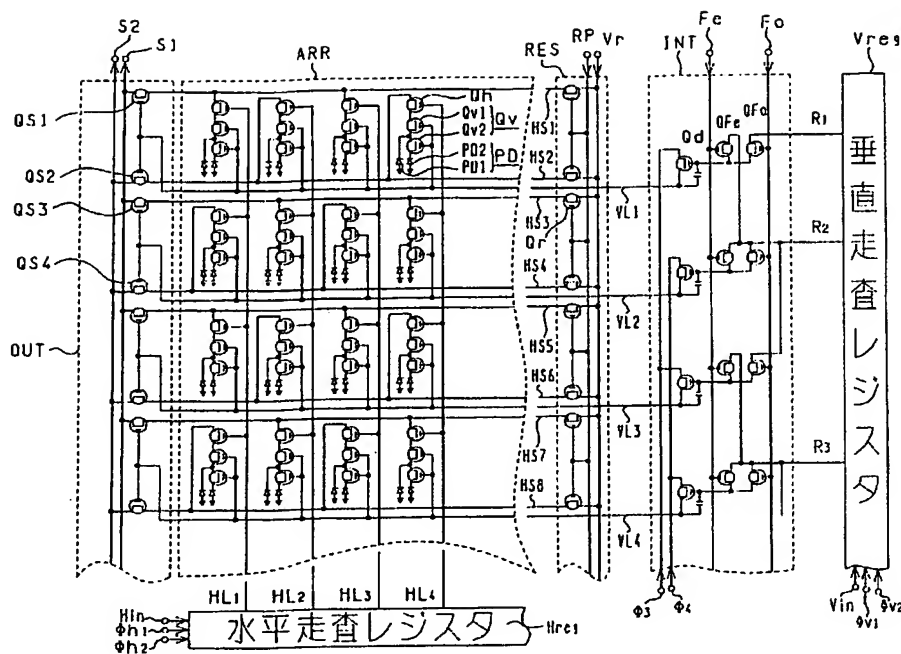
- 28 -

第1図

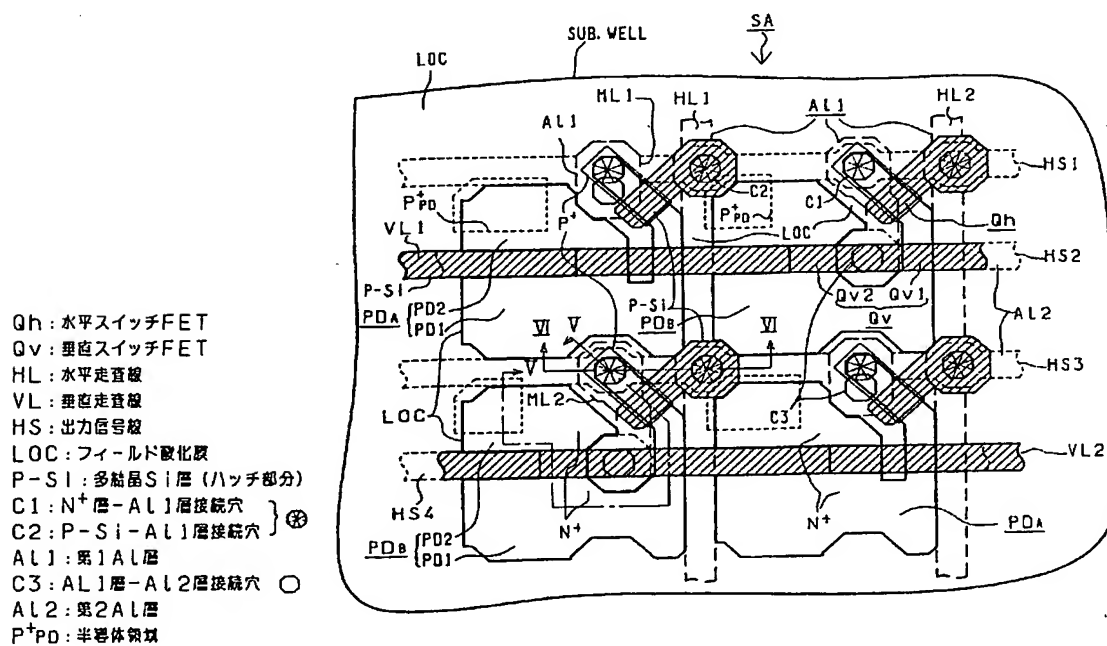


ARR…フォトダイオードアレイ
SA…受光部
OB…オプティカル・ブラック部
Vreg…垂直走査用シフトレジスタ部
Hreg…水平走査用シフトレジスタ部
RES…水平帰線同期リセット部
INT…インタレース走査制御部
OUT…出力回路
CHI…固体撮像チップ

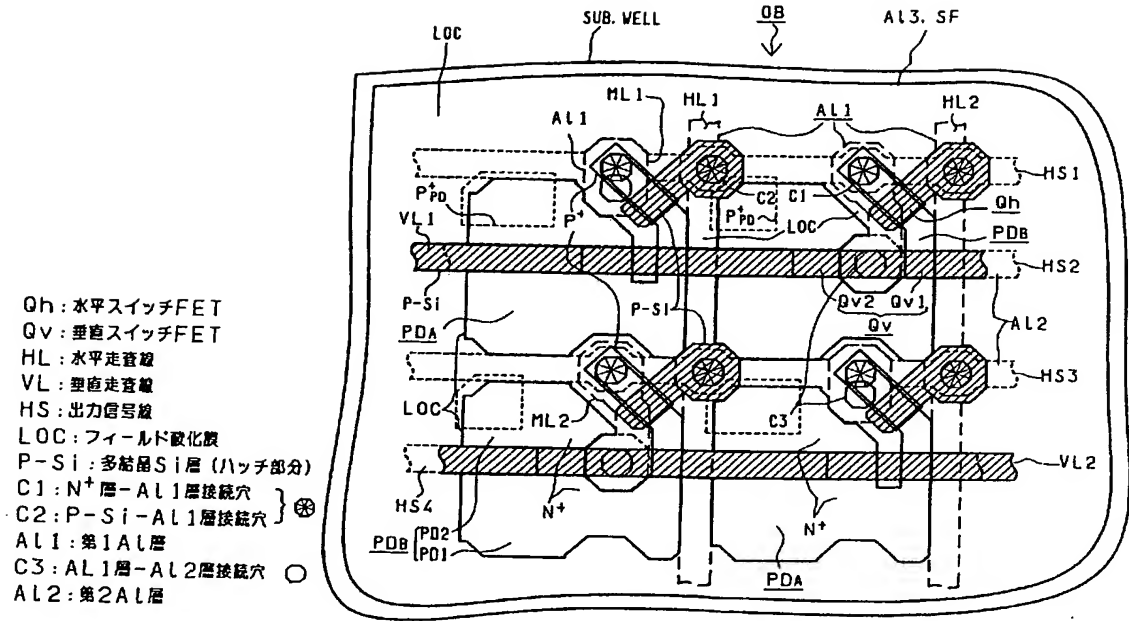
第 2 図



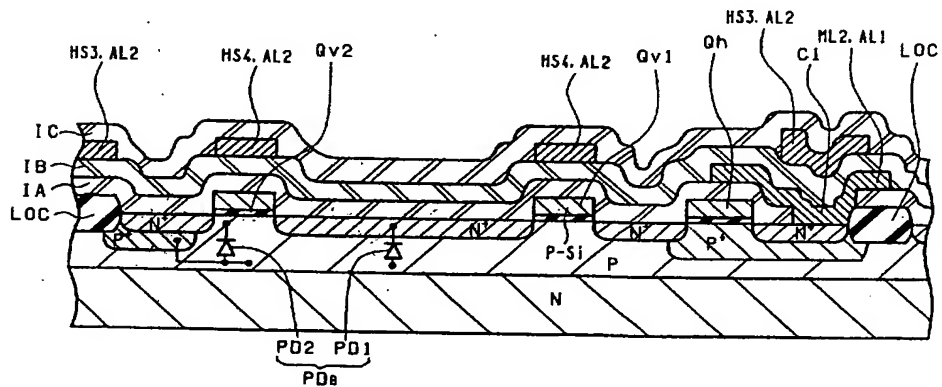
第3圖



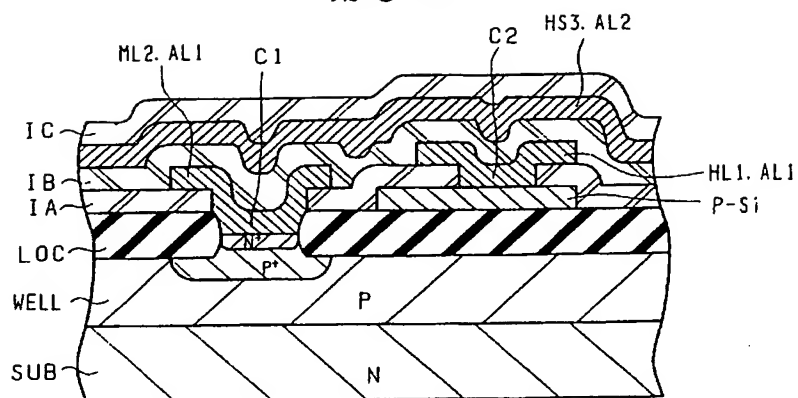
第4図



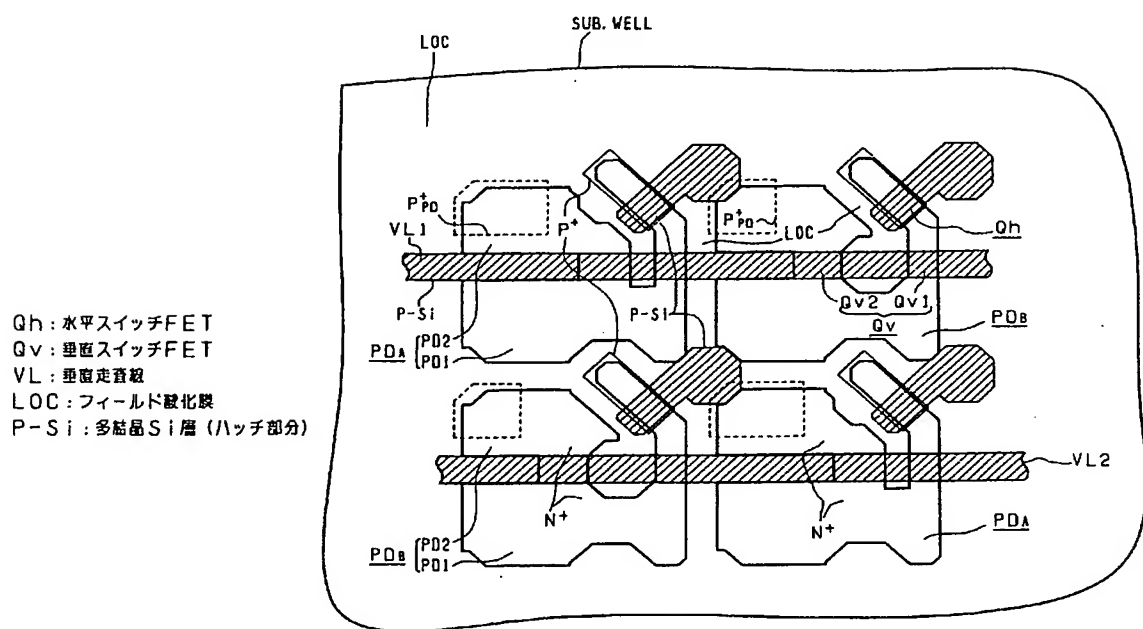
第5図



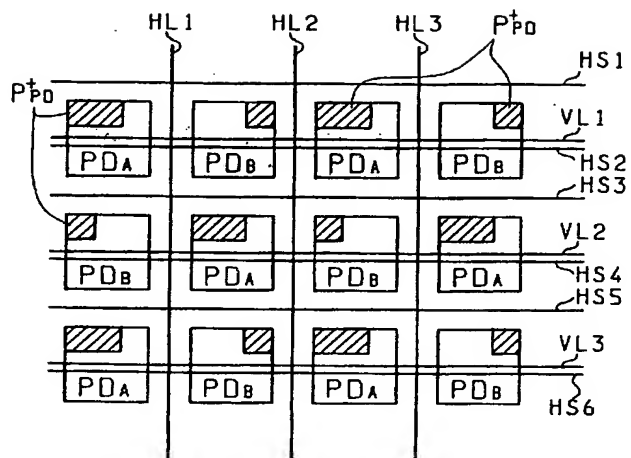
第 6 図



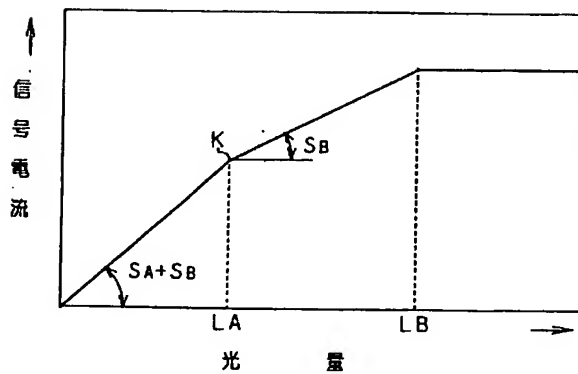
第 7 図



第 8 図

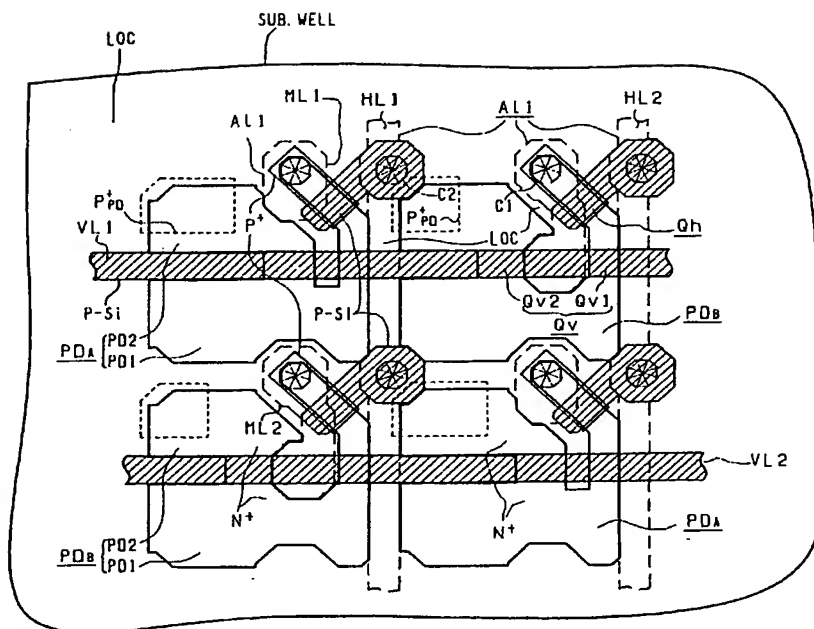


第 9 図



第10図

Qh: 水平スイッチFET
 Qv: 垂直スイッチFET
 HL: 水平走査線
 VL: 垂直走査線
 LOC: フィールド酸化膜
 P-Si: 多結晶Si層 (ハッチ部分)
 C1: N⁺層-AL1層接続穴
 C2: P-Si-AL1層接続穴 } ⊗
 AL1: 第1AL層
 P⁺PD: 半導体領域



THIS PAGE BLANK (USPTO)